

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-095816

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

G06F 11/18
G06F 15/16

(21)Application number : 06-232838

(71)Applicant :

HITACHI LTD

(22)Date of filing : 28.09.1994

(72)Inventor :

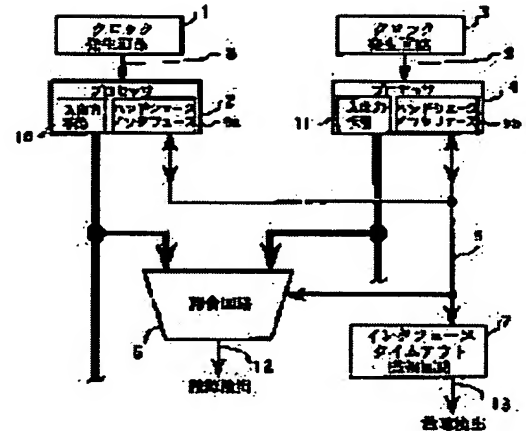
SATO YOSHIMICHI
KANEKAWA NOBUYASU
SUZUKI SHOJI
OTSUJI SHINYA

(54) FAULT DETECTING METHOD AND INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To make a data processing device such as a processor highly reliable by inspecting the outputs of both data processing parts when a 2nd output determination report is detected, and outputting a fault detection signal when an error has been detected.

CONSTITUTION: Two processors 2 and 3 are connected to each other through handshake interfaces 5a and 5b, and a wait is made by the handshake interfaces 5a and 5b at the time of output. When the outputs of the both have become available they are reported to a collating circuit 6 and an interface time-out monitor circuit 7. The collating circuit 6 once informed that the outputs of the two processors 2 and 3 have become available, collates the outputted data to check their coincidence and outputs a fault detection signal 12 by considering that a fault is detected unless the data match each other. Consequently, the processors can easily be placed in operation with a clock of high frequency and no extra additional circuit is required.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-95816

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.⁶

G 0 6 F 11/18
15/16

識別記号

3 1 0 E
4 7 0 J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平6-232838

(22) 出願日 平成6年(1994)9月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 佐藤 美道

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 金川 信康

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 鈴木 昭二

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

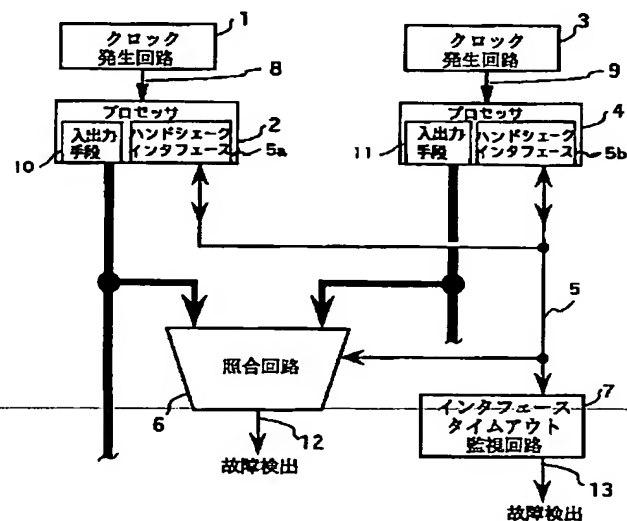
(54) 【発明の名称】 故障検出方法および情報処理装置

(57) 【要約】

【目的】 多重化構成の情報処理装置において、信頼性を落とすことなく、高性能化を容易にする。

【構成】 マスタデータ処理部2は、データ処理の結果の出力が確定すると、第1の出力確定通知を出力する手段5aを備え、チェックデータ処理部4は、データ処理の結果の出力の確定と、第1の出力確定通知の出力のいずれか遅いときに、第2の出力確定通知を出力する手段5bを備える。照合手段6は、第2の出力確定通知を検出すると、両データ処理部2、4の出力を検査し、誤りを検出すると故障検出信号12を出力する。

図 1



【特許請求の範囲】

【請求項 1】入力された指示に応じたデータ処理を行い、結果を出力するデータ処理部であって、同じ指示を受けるデータ処理部を、各々備える主系のデータ処理系と副系のデータ処理系とを備える情報処理装置において、

上記主系の備えるデータ処理部は、一のマスタデータ処理部であり、

上記主系は、上記マスタデータ処理部の、入力された指示に応じたデータ処理の結果の出力が確定すると、第 1 の出力確定通知を出力する手段とを備え、

上記副系の備えるデータ処理部は、一以上のチェッカデータ処理部であり、

上記副系は、すべての上記チェッカデータ処理部の、上記指示に応じたデータ処理の結果の出力の確定と、上記第 1 の出力確定通知の出力のいずれか遅いときに、第 2 の出力確定通知を出力する手段を備え、

上記情報処理装置は、

上記第 2 の出力確定通知を検出すると、上記主系および副系のデータ処理部の出力を検査し、誤りを検出すると、故障検出信号を出力する照合手段を備えることを特徴とする情報処理装置。

【請求項 2】請求項 1 において、

前記副系は、複数の前記チェッカデータ処理部を備え、前記第 2 の出力確定通知を出力する手段は、

上記チェッカデータ処理部の出力が確定する毎に、それぞれ、第 3 の出力確定通知を出力する手段と、

前記指示に応じたデータ処理の結果の出力に伴う、すべての上記第 3 の出力確定通知の論理積を、第 2 の出力確定通知として出力する手段とを備えることを特徴とする情報処理装置。

【請求項 3】入力された指示に応じたデータ処理を行い、結果を出力するデータ処理部であって、同じ指示を受けるデータ処理部を複数備える情報処理装置において、

上記データ処理部からの許可要求を受け付け、該要求のうち最先に受け付けたものを出力した上記データ処理部に許可を通知する優先調停手段を備え、

上記データ処理部は、

該データ処理部による入力を受け付けた指示に応じたデータ処理の結果の出力が確定すると、上記出力許可要求を上記優先調停手段に通知する手段と、

上記許可の通知を受け付けると、第 1 の出力確定通知を出力する手段と、

他のデータ処理部による上記第 1 の出力確定通知の出力を検知すると、上記指示に応じた該データ処理部による処理結果の出力が確定したときと、該第 1 の出力確定通知の出力を検知したときとの、いずれか遅い方のときに、第 3 の出力確定通知を出力する手段とを備え、

上記情報処理装置は、

上記指示に応じたすべての出力の内容を検査し、誤りを検出すると、故障検出信号を出力する照合手段と、

上記第 3 の出力確定通知を基に、上記指示に応じたすべての出力が揃うと、第 2 の出力確定通知を上記照合手段に通知する手段とを備え、

上記照合手段は、上記第 2 の出力確定通知を検出すると、上記検査を行うことを特徴とする情報処理装置。

【請求項 4】前記データ処理部は 3 以上備えられており、

10 前記第 2 の出力確定通知を照合手段に通知する手段は、前記指示に係るすべての第 3 の出力確定通知の論理積を第 2 の出力確定通知として、前記照合手段に通知する手段であることを特徴とする情報処理装置。

【請求項 5】請求項 1 または 3 において、

前記検査は、

前記指示に係るすべての前記データ処理部の出力が一致するかどうかの検査であり、

上記誤りとは、出力内容の不一致であることを特徴とする情報処理装置。

20 【請求項 6】請求項 5 において、

前記データ処理部は 3 以上備えられており、

前記照合手段は、

前記データ処理部の不一致を検出すると、一致した出力数の多い出力を有効とし、他を無効とする手段をさらに備えることを特徴とする情報処理装置。

【請求項 7】請求項 1 または 3 において、

前記データ処理部は、互いに非同期に動作することを特徴とする情報処理装置。

【請求項 8】請求項 1 または 3 において、

30 前記第 1 の出力確定通知を検出したのち、あらかじめ定められた時間が経過しても、前記第 2 の出力確定通知を検出しないときは、故障検出信号を出力するインタフェース監視手段を、さらに備えることを特徴とする情報処理装置。

【請求項 9】入力された指示に応じたデータ処理を行い、結果を出力するデータ処理部であって、同じ指示を受けるデータ処理部を、各々備える主系と副系との 2 の

データ処理系を備える情報処理装置における該データ処理部の故障検出方法において、

40 上記主系および副系のデータ処理部の出力を検査する照合手段を備え、

上記主系の備えるデータ処理部は、一のマスタデータ処理部であり、

上記副系の備えるデータ処理部は、一以上のチェッカデータ処理部であり、

上記主系が、上記マスタデータ処理部の、入力された指示に応じたデータ処理の結果の出力が確定すると、第 1 の出力確定通知を出力するステップと、

50 上記副系が、すべての上記チェッカデータ処理部の、上記指示に応じたデータ処理の結果の出力の確定と、上記

3

第1の出力確定通知の出力のいずれか遅いときに、第2の出力確定通知を出力するステップと上記照合手段が、上記第2の出力確定通知を検出すると、上記検査を行い、誤りを検出すると、故障検出信号を出力するステップとを、この順に備えることを特徴とする故障検出方法。

【請求項10】入力された指示に応じたデータ処理を行い、結果を出力するデータ処理部であって、同じ指示を受けるデータ処理部を複数備える情報処理装置の、該データ処理部の故障検出方法において、

上記情報処理装置は、優先調停手段と照合手段とを備え、

上記データ処理部が、該データ処理部による、入力を受け付けた指示に応じたデータ処理の結果の出力が確定すると、上記出力許可要求を優先調停手段に通知する許可要求ステップと、

上記優先調停手段が、許可要求を受け付け、該要求のうち最先に受け付けたものを出力した上記データ処理部に許可を通知する許可通知ステップと、

上記許可の通知を受け付けた上記データ処理部が、第1の出力確定通知を出力する第1の出力確定通知出力ステップと、

上記第1の出力確定通知の出力されたときと、該第1の出力確定通知を出力した上記データ処理部の他のすべてのデータ処理部による、上記指示に応じたデータ処理の結果の出力が確定したときとの、いずれか遅いときに、第2の出力確定通知を出力する第2の出力確定通知出力ステップと、

上記照合手段が、上記第2の出力確定通知を検出すると、上記データ処理部の出力を検査し、誤りを検出すると、故障検出信号を出力する故障検出ステップとを、この順に備えることを特徴とする故障検出方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高性能かつ高信頼性が要求される情報処理装置および故障検出方法に係り、特にコントローラ向きプロセッサの故障検出に適する故障検出方法、および、該方法を用いて故障を検出する情報処理装置に関する。

【0002】

【従来の技術】情報処理装置のプロセッサの高信頼化のための方法として、電子情報通信学会編「フォールトトレラントシステム論」平成2年6月、第246～250頁に記載されているように、いくつかの方法が従来より知られている。

【0003】代表的な方法としては、密に同期するクロックを用いて複数の冗長構成のプロセッサを同期動作させ、各プロセッサの出力（バス出力）について照合チェックあるいは多数決等を行ない故障検出する方法が、知られている。この方法によれば、ソフトウェアの構築、

4

運用に際して、ハードウェアの冗長性を基本的に意識する必要がない。

【0004】

【発明が解決しようとする課題】しかし、上述の同期するクロックを用いる方法では、クロック周波数および同期動作についての、つぎのような問題が生じる。

【0005】まず、クロック周波数について考えると、高い冗長プロセッサ数を得ようとするとき、あるいは高い性能を得ようとするとき、各プロセッサに分配するクロックについて、信頼性と同期を保ちながら高い周波数を得るのは容易でない。クロック分配の配線ネットが広がるほど、また、その負荷容量が増大するほど、得られる周波数の上限は低くなる。この問題を解決しながら信頼性をたもつためには、実装上の工夫を要する。配線ネットの容量やクロックバッファの負荷、遅延を正確に管理するため、綿密設計が必要であり、設計コストが増大する。

【0006】また、同期動作について考えると、各プロセッサに入力される同一信号へのノイズ混入等により、各プロセッサの動作に同期ずれが生じることがある。また、各プロセッサの動作立ち上げの同期保証が必要である。そこで、これに対して監視回路、同期合わせ回路を付加する方法などが考案されている。しかしながら、これらの問題の対策のための付加回路が増えると、それらの回路自体の信頼性がまた新たな課題となる。

【0007】以上のように、クロックの完全同期方法には、綿密な実装設計および付加回路の工夫などを必要とし、プロセッサなどのデータ処理装置（データ処理部）および照合回路以外の設計コストをかけねばならない。これらの設計コストは、たとえ同一種のプロセッサおよび照合回路を用いていても、システムの構成が異なれば、システム構成毎にそれぞれ掛けねばならない。

【0008】そこで、同期するクロックを用いることなく、冗長系の高信頼性を確保する手段が望ましいと考えられる。このように、クロックによる同期を行わない場合、照合の対象となる複数の出力がそれぞれ異なる時刻に確定する。従って、この場合、故障検出を行うための各プロセッサの出力の照合に必要とされるインタフェース手段とプロトコルが提供されなければならない。

【0009】実際、従来より、クロック等のハードウェア同期を必要としない方法として、ソフトウェアにより同期照合を実行し故障検出を行なう方法が提案されている。しかし、この方法では、同期をとるための時間の損失が大きくなるという欠点があり、高性能化には向かない。

【0010】また、相互のプロセッサに密な同期動作はさせず、演算結果をプロセッサ外部に設けたレジスタにあらかじめ定められた周期でセットさせるようプログラムシーケンスを設定し、レジスタに登録された演算結果をハードウェア照合させることによって故障検出を行な

10

20

30

40

50

5

う方法も提案されている。だが、照合頻度を考慮しながらプログラムシーケンスを管理していくのは容易ではない。

【0011】そこで、本発明は、同期するクロックを用いることなく、同期をとるための時間の損失がなく、照合頻度を考慮しながらプログラムシーケンス管理する必要がない、冗長系の故障検出装置、および該故障検出装置を用いてプロセッサ等のデータ処理装置の高信頼化を実現した情報処理装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明では、入力された指示に応じたデータ処理を行い、結果を出力するデータ処理部であって、同じ指示を受けるデータ処理部を、各々備える主系のデータ処理系と副系のデータ処理系とを備える情報処理装置における該データ処理部の故障検出方法において、上記主系および副系のデータ処理部の出力を検査する照合手段を備え、上記主系の備えるデータ処理部は、一のマスタデータ処理部であり、上記副系の備えるデータ処理部は、一以上のチェッカデータ処理部であり、上記主系が、上記マスタデータ処理部の、入力された指示に応じたデータ処理の結果の出力が確定すると、第1の出力確定通知を出力するステップと、上記副系が、すべての上記チェッカデータ処理部の、上記指示に応じたデータ処理の結果の出力の確定と、上記第1の出力確定通知の出力のいずれか遅いときに、第2の出力確定通知を出力するステップと上記照合手段が、上記第2の出力確定通知を検出すると、上記検査を行い、誤りを検出すると、故障検出信号を出力するステップとを、この順に備えることを特徴とする故障検出方法、および該方法を用いてデータ処理部の故障を検査する情報処理装置が提供される。

【0013】また、本発明では、上記のように、主系と副系とがあらかじめ定められていない第2の故障検出方法も提供される。すなわち、入力された指示に応じたデータ処理を行い、結果を出力するデータ処理部であって、同じ指示を受けるデータ処理部を複数備える情報処理装置の、該データ処理部の故障検出方法において、上記情報処理装置は、優先調停手段と照合手段とを備え、上記データ処理部が、該データ処理部による、入力を受け付けた指示に応じたデータ処理の結果の出力が確定すると、上記出力許可要求を優先調停手段に通知する許可要求ステップと、上記優先調停手段が、許可要求を受け付け、該要求のうち最先に受け付けたものを出力した上記データ処理部に許可を通知する許可通知ステップと、上記許可の通知を受け付けた上記データ処理部が、第1の出力確定通知を出力する第1の出力確定通知出力ステップと、上記第1の出力確定通知の出力されたときと、該第1の出力確定通知を出力した上記データ処理部の他のすべてのデータ処理部による、上記指示に応じたデータ処理の結果の出力が確定したときとの、いずれか

6

遅いときに、第2の出力確定通知を出力する第2の出力確定通知出力ステップと、上記照合手段が、上記第2の出力確定通知を検出すると、上記データ処理部の出力を検査し、誤りを検出すると、故障検出信号を出力する故障検出ステップとを、この順に備えることを特徴とする故障検出方法が提供される。本発明では、さらに、この第2の方法を用いてデータ処理部の故障を検査する情報処理装置が提供される。

【0014】

10 【作用】本発明は、プロセッサ冗長構成システムにおいて、容易に高い周波数のクロックでプロセッサを動作させることができるようになり、信頼性を低下しかねない余分な付加回路を不要にする手段を提供するものである。

【0015】上記手段により、冗長構成のデータ処理装置（例えば、プロセッサ）の故障検出を行なえば、該データ処理装置の動作を起動するクロックを同期させる必要がなくなる。また各データ処理装置の入力信号へのノイズの混入は何ら支障をきたさず、動作立ち上げは多少のずれがあってもよい。さらに、用いられる手段は高信頼化が容易なものであって、信頼性が問題になる余分な付加回路を必要としない。ゆえに、本発明は、プロセッサのようなデータ処理装置を多重化して構成した情報処理装置において、信頼性を落とすことなく、高性能化を容易にする。また、クロックの厳密な同期の必要がないため、システムの実現の際に対し柔軟性を提供する。なお、本発明は入出力頻度が低いほど高性能化の効果が得られるものであり、コントローラへの応用が適している。また、本発明の故障検出方法は、プロセッサに限らず、多重化された一般データ処理装置の故障検出に適用できる。

【0016】

【実施例】以下、本発明の実施例を図面を用いて説明する。なお、以下の各実施例では、「アサート(assert)」および「ネゲート(negate)」という言葉を各所に用いる。これは、信号には「アクティブ・ハイ(active-high)」と「アクティブ・ロウ(active-low)」があり、これらを混在して扱う場合の混乱を防ぐためである。「アサート」というのは、電位レベルの「ロウ(Low)」、「ハイ(High)」にかかわらず、信号がアクティブ(有効)つまり真(true)であることを意味する。そして、「ネゲート」というのは信号がインアクティブ(無効)つまり偽(false)であることを意味する。

【0017】(実施例1)図1に、2つのプロセッサを用いて冗長化、故障検出する場合の情報処理装置の構成を示す。なお、クロック発生回路1、3、プロセッサ2、4、照合回路(照合手段)6、およびインタフェースタイムアウト監視回路(インタフェース監視手段)7以外の構成要素については、本実施例の故障検出方法には直接拘らないので、図示を省略した。ここでは、プロ

セッサが2つの場合について説明するので、主系はプロセッサ2であり、副系はプロセッサ4である。

【0018】本実施例の情報処理装置は、2組の周期信号を発生するクロック発生回路1、3およびプロセッサ2、3を備え、さらに、プロセッサ2、3の出力データの一致照合を行う照合回路6と、時間監視を行うインタフェースタイムアウト監視回路7とを備える。プロセッサ2および3は、同一の動作を行う。

【0019】プロセッサ2はクロック発生回路1より供給されるクロック信号8を基準に動作する。同様にプロセッサ4はクロック発生回路3より供給されるクロック信号9を基準に動作する。2つのクロック信号8および9は、本実施例では非同期である。従って、2つのプロセッサ2、3は、同一の動作を行うが、その動作には、時間的ずれが生じることになる。

【0020】プロセッサ2とプロセッサ4とは、それぞれ、入力された指示に応じてデータを処理するデータ処理部（図示せず）、該データ処理部に入力された指示を通知し、該処理部の処理結果を出力する入出力手段10、11、および、ハンドシェークインタフェース手段5a、bを備える。入出力手段としては、例えばアドレス出力、あるいはデータ入出力バス等があるが、本実施例では、データ入出力バスである。この2つのプロセッサ2、3はハンドシェークインタフェース5a、bを介して相互に接続され、出力の際、ハンドシェークインタフェース5a、bにより待ち合わせを行なう。双方の出力が揃うと、それが、ハンドシェークインタフェース5a、bにより、照合回路6およびインタフェースタイムアウト監視回路7に信号線5を介して通知される。

【0021】照合回路6は、2つのプロセッサ2、3の出力がそろったことの通知を受けると、入出力手段10、11から出力されたデータの一致照合を行ない、不一致のときには故障を検出したとみなして故障検出信号12を出力して外部へ知らせる。

【0022】また、インタフェースタイムアウト監視回路7は、一定時間以上の信号線5を介して出力行われたことの通知がなされないと、これを故障とみなし、外部へ知らせるために故障検出信号13を出力する。プロセッサ2、3のうちの一方が、故障によりハンドシェークインタフェースに応答しなくなってしまうと、照合回路によって故障を検出することは不可能になるためである。なお本実施例のインタフェースタイムアウト監視回路7のような時間監視による故障検出の手段ではなく、信号レベルの異常を検出する手段や、プロトコル規定（状態遷移）違反を検出する手段など、他の故障検出手段をプロセッサに備えることにより、照合のできない故障を検出するようにしてもよい。

【0023】つぎに、ハンドシェークインタフェース5a、bを、図2を用いて具体的に説明する。なお、図2では、図1に示したクロック発生回路1、3の図示は省

略した。

【0024】一般的に、2重化プロセッサ方式である「マスタ/チェッカ方式」では、「マスタ」の機能をもつプロセッサと「チェッカ」の機能を持つプロセッサとを用いる。本実施例では、プロセッサ2として「マスタ」の機能をもつプロセッサを用い、プロセッサ4として「チェッカ」の機能をもつプロセッサを用いている。

【0025】信号線5は、図2に示すように、2本の信号線14および15からなる。信号線14は、インタフェース信号である”STRB（ストロブの意）”信号を伝達する。信号線15は、インタフェース信号である”ACK（アクリッジの意）”信号を伝達する。STRB信号は第1の出力確定通知である。また、本実施例では、プロセッサが2つであることから、ACK信号は、第2の出力確定通知かつ第3の出力確定通知である。

【0026】プロセッサ2のハンドシェークインタフェース5aは、プロセッサ2の出力（入出力手段10による出力）が有効になると、STRB信号14をアサートする。STRB信号14がアサートされると、プロセッサ4のハンドシェークインタフェース5bは、STRB信号14のアサートを受け取り、かつ、入出力手段11による出力が有効となった時点で、ACK信号15をアサートする。プロセッサ2のハンドシェークインタフェース5aは、STRB信号14をアサートした後、ACK信号15がアサートされるまで、プロセッサ2の動作を停止させる。

【0027】このようにして、2つのプロセッサ2、4は、外部への出力に際して、待ち合わせを行なう。照合回路6は、ACK信号15がアサートされることにより、プロセッサ2、4の両者の出力がそろったことを検知することができる。また、インタフェースタイムアウト監視回路7は、STRB信号14およびACK信号15のアサートを検出することにより、各プロセッサ2、4による応答の実行を検知することができる。

【0028】つぎに、図3を用いて、各構成手段の具体的な動作の詳細を説明する。図3は、時間の経過に伴う信号のレベル変化や回路の動作内容を表すタイムチャートである。図3では、時間の経過を左から右へ示す。図中の数字は図2の構成要素と対応させてある。すなわち、図3において、プロセッサ2の10は出力信号のレベル変化を、11はプロセッサ4の出力信号のレベル変化を、14はSTRB信号のレベル変化を、15はACK信号のレベル変化を、それぞれ示し、6は照合回路の動作内容を、7はインタフェースタイムアウト監視回路の動作内容を示している。なお、図3では、14、15は負論理で示した。

【0029】仮に、プロセッサ2の入出力手段10による出力（以下、出力10と呼ぶ）はプロセッサ2のアドレス出力であり、プロセッサ4の入出力手段11による

10

20

30

40

50

出力（以下、出力11と呼ぶ）はプロセッサ4のアドレス出力であるとする。

【0030】ハンドシェークインタフェース5aは、プロセッサ2が外部との入出力のため有効なアドレス（出力10）を出力するとき（時刻A）、ACK信号15がネゲートされたことを確認したのち、STRB信号14をアサートする。ハンドシェークインタフェース5bは、STRB信号14のアサートを受け取り、かつ、プロセッサ4のアドレス出力11が有効な状態になったとき（時刻B）、ACK信号15をアサートする。

【0031】照合回路6は2つのアドレス出力10、11が有効となった時点（時刻B）をSTRB信号14とACK信号15とがアサートされたことから判断し、出力10の内容であるアドレスと出力11の内容であるアドレスとの一致照合を行なう。一致照合の結果不一致であれば、故障と判断して外部へ故障検出信号12を出力する。

【0032】また、インタフェースタイムアウト監視回路7はSTRB信号14がネゲート状態からアサート状態へ切り替わった時点（時刻A）からの経過時間を計測する。そして、あらかじめ設定された一定時間（本実施例1では、150nsとした。なお、本実施例1では、プロセッサ2、3として、33MIPSの処理速度のプロセッサを用いた。）を過ぎてもACK信号15がアサートされないときは、故障が発生したものと判断して、故障検出信号13を外部へ出力する。なお、あらかじめ設定される一定時間は、故障のないときの、最も大きくなると考えられる待ち合わせ時間より大きいものに設定するのがよい。

【0033】さて、時刻BのACK信号15のアサートを受け取ると、プロセッサ2のハンドシェークインタフェース5aは、STRB信号14をネゲートし、アドレス出力10の出力をやめる（時刻C）。もし、一致照合や入出力動作のために十分な時間をとらねばならないときは、あらかじめ設定した一定時間、ネゲートを遅らせてもよい。こうしてプロセッサ2の一回のバスサイクルは終了する。

【0034】一方、プロセッサ4のハンドシェークインタフェース5bは、時刻CにおいてSTRB信号14がネゲートされたことを確認すると、ACK信号15をネゲートして、アドレス出力11の出力をやめる（時刻D）。プロセッサ2のハンドシェークインタフェース5aは、次にSTRB信号14をアサートするのは少なくともACK信号15がネゲートされたことを確認したあと（時刻D以降）でなければならない。

【0035】以上のように、プロセッサの出力動作時点で、ハンドシェークインタフェース5a、bにより同期をとるようにすれば、動作立ち上げの際の、クロックによる密な同期は不要である。なぜなら、密に同期していなくてもおのおののプロセッサの最初の入出力動作で待

ち合わせにより同期がとられるからである。従って、本実施例1によれば、クロック信号8および9の同期のいかに拘らず、二重化されたプロセッサの出力を照合検査することができる。

【0036】なお、プロセッサ2、3に、出力する前に出力データの誤りを自ら検出、訂正する手段を設けてもよい。このようにすれば、処理結果の信頼性を向上させることができる。あるいは、プロセッサにメモリを内蔵させ、処理性能を向上させてもよい。

10 【0037】さらに、プロセッサ2、3の出力をデータ圧縮する手段を設け、圧縮後のデータが照合回路に入力されるようにしてもよい。このようにすれば、照合対象が縮小されるため、照合回路を縮小できることに加え、照合対象が縮小されるため、照合時間が短縮されるので、システムの性能を向上させることが可能になる場合がある。

【0038】また、インターフェースタイムアウト監視回路の計時するタイミングを増やして、一回のバスサイクル中に複数回計時を行うようにしてもよい。このようにすれば、時間監視の信頼性を向上させることができる。なお、インターフェースタイムアウト監視回路の計時するタイミングは、システムごとに、その運用に応じた最適な場所を求めて、設定することが好ましい。

【0039】（実施例2）また、実施例1のシステムでは、インタフェースタイムアウト監視回路7は一つだけ備えられているが、2つ以上に多重化してもよい。このようにすれば、時間監視の信頼性を向上させることができる。照合回路を2つ以上に多重化してもよい。このようにすれば、照合の信頼性を向上させることができる。

30 そこで、本実施例2では、図4に示すように、照合回路6とインタフェースタイムアウト監視回路7との両方を2重化した。本実施例のシステムでは、出力10、11は、2重化された照合回路6a、6bの両方により、それぞれ独立に一致照合される。また、ハンドシェークインタフェース5a、5bの出力信号14、15は、2重化されたインタフェースタイムアウト監視回路7a、7bの両方により、それぞれ独立に時間監視される。照合回路6a、6bは、いずれも、データの不一致を検出すると故障検出信号12を外部に出力する。また、インタフェースタイムアウト監視回路7a、7bも、いずれも所定時間が超過しても出力が揃わないことを検出すると、故障検出信号13を外部に出力する。

40 【0040】（実施例3）実施例1では、プロセッサを二重化した場合について説明したが、本発明の故障検出方法によれば、図5に示すように、3線式のハンドシェークを用いてプロセッサの数を3つ以上に多重化することもできる。このように、プロセッサを3つ以上多重化すれば、プロセッサ出力の多数決を行なうことにより、故障したプロセッサを検出して、正常なプロセッサから選択的に出力させることができる。

【0041】本実施例3で用いられているプロセッサ26, 27, 28は三重化構成のプロセッサであり、同一内容の動作を行なう。実施例1と同様に、それぞれのプロセッサ26, 27, 28は個別のクロック発生回路20, 21, 22からのクロック信号23, 24, 25に基づいて、非同期に動作する。本実施例3では、プロセッサ26が「マスタ」の機能をもち、他の2つのプロセッサ27, 28は、「チェッカ」の機能を備える。すなわち、本実施例3では、主系はマスタデータ処理部であるプロセッサ26からなり、副系はチェッカデータ処理部であるプロセッサ27およびプロセッサ28からなる。

【0042】各プロセッサ26, 27, 28は、それぞれ、入出力手段29, 30, 31およびハンドシェークインタフェース5c, 5d, 5eを備えている。本実施例3でも、実施例1と同様に、プロセッサの出力の同期を、これらのハンドシェークインタフェース5c, 5d, 5eによりとる。3つのプロセッサ26, 27, 28の出力が揃うと、それが、ハンドシェークインタフェース5c, 5d, 5eにより、信号線32を介して、照合回路33およびインタフェースタイムアウト監視回路35に通知される。

【0043】インタフェースタイムアウト監視回路35は、実施例1と同様に、ハンドシェークインタフェース5c, 5d, 5eからの出力を監視し、故障を検出すると故障検出信号36を出力する。また、本実施例3の照合回路33は、3つのプロセッサ26~28の出力29~31の一致照合を行なう。出力29~31の不一致を検出すると、照合回路33は、プロセッサの故障検出信号34を外部へ出力する。なお、本実施例では、照合回路33に、不一致の出力（出力29~31のいずれか）を無効にし、該出力を行ったプロセッサ（26~28のいずれか）の動作を停止させる手段を設けてもよい。

【0044】本実施例3では、信号線32は、図6に示すように、3本の信号線37, 38, 39からなる。なお、図6は図5と同じ装置の図であるが、ハンドシェーク用信号線32を詳細に示してある。信号線37は、STRB信号のための信号線である。信号線38は、ACK信号のための信号線である。信号線39は、"IACK（インバースアクリッジ）信号"（ACK信号38の論理反転出力）のための信号線である。STRB信号37はプロセッサ26のアドレス出力が確定したときにアサートされる。これに対し、ACK信号38は、プロセッサ27、プロセッサ28のそれぞれの出力が確定したとき、アサートされる。本実施例3のように、3線式ハンドシェークを用いれば、結線数を節約できる利点がある。

【0045】3本の信号線37~39へのプロセッサ出力は、ワイヤードOR（直接接続による論理和）が可能なものを用いる。つまり、例えばMOSデバイスを用い

るならばオープンドレイン出力であり、バイポーラデバイスを用いるならばオープンコレクタ出力である。そしてこのような出力端は信号レベルを低位に駆動する能力しか持たない。したがって、各信号線37~38の高電位レベルを保証するため、各信号線37~38には、電源電位（図6では"Vcc"として図示）へのプルアップ抵抗40, 41, 42が接続されている。また、本実施例3では、3つの信号線37~39の信号は負論理である。すなわち、高電位が論理値0、低電位が論理値1に対応する。

【0046】つぎに、照合の対象を実施例1と同様にアドレス出力であるとして、図7を用いて、図6の各構成手段の具体的な動作の詳細を説明する。図7は時間の経過に伴う信号のレベル変化や回路の動作内容を表すタイムチャートである。図7では、左から右へ時間が経過している。図7において、29~31は、それぞれプロセッサ26~28の入出力手段29~31の出力信号のレベル変化を、37は信号線37のSTRB信号のレベル変化を、38は信号線38のACK信号のレベル変化を、39は信号線39のIACK信号のレベル変化を、それぞれ示し、33は照合回路33の動作内容を、35はインタフェースタイムアウト監視回路35の動作内容を、それぞれ示している。

【0047】また、71はプロセッサ27のハンドシェークインタフェース5dの出力しようとするACK信号38（以下、ACK（b）信号とする）のレベル変化を、72はハンドシェークインタフェース5dの出力しようとするIACK信号39（以下、IACK（b）信号とする）のレベル変化を、73はプロセッサ28のハンドシェークインタフェース5eの出力しようとするACK信号38（以下、ACK（c）信号とする）のレベル変化を、74はハンドシェークインタフェース5eの出力しようとするIACK信号39（以下、IACK（c）信号とする）のレベル変化を、それぞれ示す。ACK（b）信号71およびACK（c）信号73、IACK（b）信号72およびIACK（c）信号74は、それぞれワイヤードORされているため、信号線38, 39における実際の信号レベルは、図7中の信号レベル変化38, 39に表されるものになる。すなわち、ACK（b）信号71およびACK（c）信号73のワイヤードORがACK信号38であり、IACK（b）信号72およびIACK（c）信号74のワイヤードORがIACK信号39である。

【0048】さて、プロセッサ26のアドレス出力29が確定したとき、プロセッサ26のハンドシェークインタフェース5cはSTRB信号（第1の出力確定通知）37をアサートする（時刻J）。このSTRB信号のアサートを受け取ったプロセッサ27のハンドシェークインタフェース5dとプロセッサ28のハンドシェークインタフェース5eとは、それぞれのアドレス出力30,

31が有効となった時点で、それぞれのACK信号(ACK(b)信号71, ACK(c)信号73)をアサートする。時刻Kがプロセッサbに関するそれであり、時刻Lがプロセッサ28に関するそれである。

【0049】このように、本実施例3では複数のプロセッサからACK信号(第3の出力確定通知)が出力されることになるが、全て(ここでは2つ)のACK信号が出そろったことは、IACK信号39のレベルが高位となったことから判断できる(時刻L)。なぜなら、IACK信号はACK信号の論理反転出力であるから、IACK(b)信号72およびIACK(c)信号74のワイヤードORであるIACK信号39が高位になったということは、ACK(b)信号71およびACK(c)信号73のいずれもアサートされたことを意味するためである。すなわち、IACK信号39は、第3の出力確定通知であるACK(b)信号71およびACK(c)信号73の論理積(第2の出力確定通知)の論理反転出力であると考えられるからである。

【0050】したがって、インタフェースタイムアウト監視回路35は、STRB信号37がアサートされる(時刻J)と計時を開始し、IACK信号39が高位レベルになる(時刻L)前にあらかじめ定められた時間(本実施例3では、実施例1と同様に150n秒)が経過すると、故障検出信号36を出力する。

【0051】照合回路33は、IACK信号39が高位レベルになると(時刻L)、出力29から31の一致照合を開始し、不一致を検出すると、故障検出信号34を出力する。「マスタ」のプロセッサ26のハンドシェークインタフェース5cは、IACK信号39が高位レベルとなり照合および入出力に十分な時間が経ってから(本実施例3では10n秒)、STRB信号37をネゲートする(時刻M)。プロセッサ26~28の入出力手段29~31は、アドレス出力29を、時刻L以降、十分な時間が経過するまで保持しておく(本実施例3では15n秒)。STRB信号37がネゲートされたことを検出すると、プロセッサ27のシェークハンドインタフェース5dは、ACK(b)信号をネゲートし(時刻N)、プロセッサ28のシェークハンドインタフェース5eは、ACK(c)信号をネゲートする(時刻O)。これで、バスサイクルは終了する。

【0052】なお、本実施例3では、冗長プロセッサ数を3としたが、4以上にしても、いずれか一つのプロセッサを「マスタ」とし、他を「チェッカ」とすることにより、本実施例3のような3線系のハンドシェークを用いて、出力を照合する際の同期を図ることができる。

【0053】(実施例4) 実施例3では、「マスタ」の役割を果たすプロセッサがあらかじめ定められていたが、「マスタ」の役割を動的に割り当てるようにしてもよい。処理ごとに、最も速く出力を行ったプロセッサを「マスタ」にすれば、入出力処理のさらなる高速化が可

能になる。本実施例では、図8に示すように、アービトレーション回路(優先調停手段である調停回路)49により、動的割り当てを実現する。

【0054】図8に示した信号線43~45は、それぞれ3つのプロセッサからのマスタ権要求信号の信号線であり、信号線46~48は、おのおののプロセッサへのマスタ権許可信号の信号線である。

【0055】本実施例4では、各プロセッサのハンドシェークインタフェース5f, 5g, 5hは、該プロセッサの出力信号が確定すると、それぞれ、マスタ権要求信号を出力する。これを受けたアービトレーション回路49は、最も早期にマスタ権要求信号を出力したプロセッサに、マスタ権許可信号を通知して、マスタ権を許可する。マスタ権を許可されたプロセッサのみが、STRB信号(第1の出力確定通知)を出力する。

【0056】ここで、プロセッサ26が、最も速く出力を行った場合を例に、本実施例の「マスタ」の割り当てについて、説明する。プロセッサ26における、マスタ権要求信号のアサート(時刻H)から、マスタ権を許可されて(時刻I)、STRB信号をアサートする(時刻J)までの、プロセッサ26のハンドシェークインタフェース5fの授受する信号のレベル変化を、図9に示す。

【0057】プロセッサ26のハンドシェークインタフェース5fは、出力が確定すると、マスタ権要求信号(Req)をアサートする。すべてのプロセッサのうち、プロセッサ27, 28のいずれからもまだマスタ権要求を受けていないアービトレーション回路49は、プロセッサ26への信号線46のマスタ権許可信号(Grant)をアサートする(時刻I)。マスタ権許可信号46がアサートされたことを検出したプロセッサ26のハンドシェークインタフェース5fは、STRB信号をアサートする(時刻J)。このSTRB信号のアサート以降の動作は、実施例3の時刻J以降の動作と同様である。

【0058】(実施例5) つぎに、図10は本発明を単一バス(50)上へ適用した実施例を示す。本実施例5の情報処理装置は、照合回路51~53を、各プロセッサ26~28に対応するように備え、該競合回路51~53は、それぞれ、対応するプロセッサ26~28の出力データの照合を行い、故障を検出すると、故障検出信号を出力する。

【0059】さらに、本実施例5の情報処理装置は、実施例3と同様のハンドシェーク用信号線32およびインタフェースタイムアウト監視回路35と、実施例4と同様のアービトレーション回路49および信号線43~48(図示せず)とを備える。また、本実施例5の情報処理装置は、単一バス50を備え、プロセッサ26~28の出力は、アービトレーション回路49のマスタ権許可信号に応じて、この単一バス50に出力される。

【0060】このように、本実施例5では、マスタ権を許可されたプロセッサのみがバス50への出力を行なう

ので、システムの複数モジュールによる構成が容易になるという利点がある。

【0061】

【発明の効果】以上説明したように、本発明によれば、冗長構成プロセッサに与えるクロックは同期させる必要はなく、動作周波数を高く設定することが容易になり、高性能化が可能になる。また、余分な付加回路を必要としないため、付加回路により信頼性を低下させることもない。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】ハンドシェークを2線式ハンドシェークで実現した実施例1の情報処理装置の構成図である。

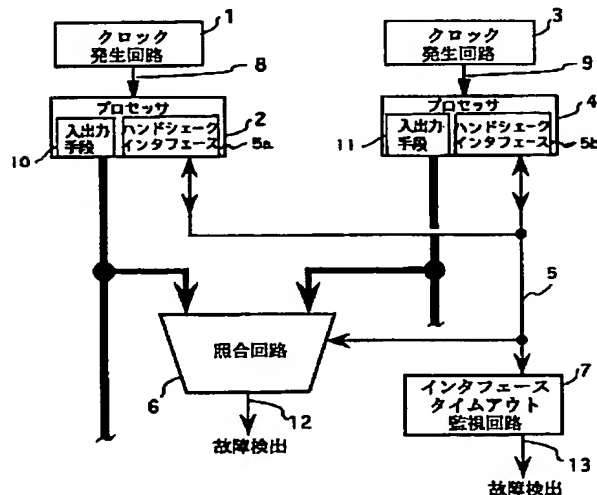
【図3】実施例1の情報処理装置の動作を示すタイミングチャートである。

【図4】照合回路およびインタフェースタイムアウト監視回路を二重化した実施例2の情報処理装置の構成を示すブロック図である。

【図5】プロセッサを多重化した実施例3の情報処理装置の構成を示すブロック図である。ハンドシェークを3線式ハンドシェークで実現した実施例3の情報処理装置

【図1】

図 1



の構成図である。

【図6】ハンドシェークを3線式ハンドシェークで実現した実施例3の情報処理装置の構成図である。

【図7】実施例3の情報処理装置の動作を示すタイミングチャートである。

【図8】アービトレーション回路を備える実施例4の情報処理装置の構成を示すブロック図である。

【図9】実施例4におけるアービトレーション回路とプロセッサとの間の動作を示すタイミングチャートである。

10

【図10】単一バスへの出力を行う実施例5の情報処理装置の構成を示すブロック図である。

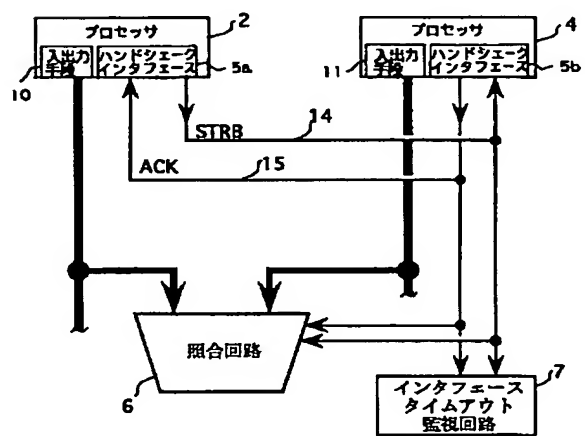
【符号の説明】

1, 3, 20~22...クロック発生回路、2, 4, 26~28...プロセッサ、5a~e...ハンドシェークインタフェース、6...照合回路、7...インタフェースタイムアウト監視回路、8, 9...クロック信号、10, 11, 29~31...入出力手段、12, 13...故障検出信号、14, 37...STRB信号(線)、15, 38...ACK信号(線)、39...IACK信号(線)、49...アービトレーション回路。

20

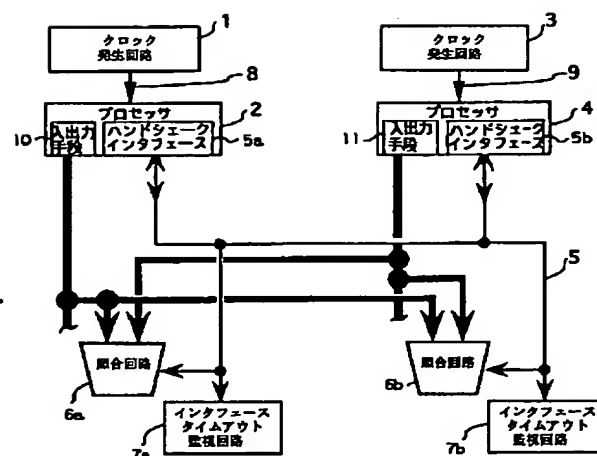
【図2】

図 2



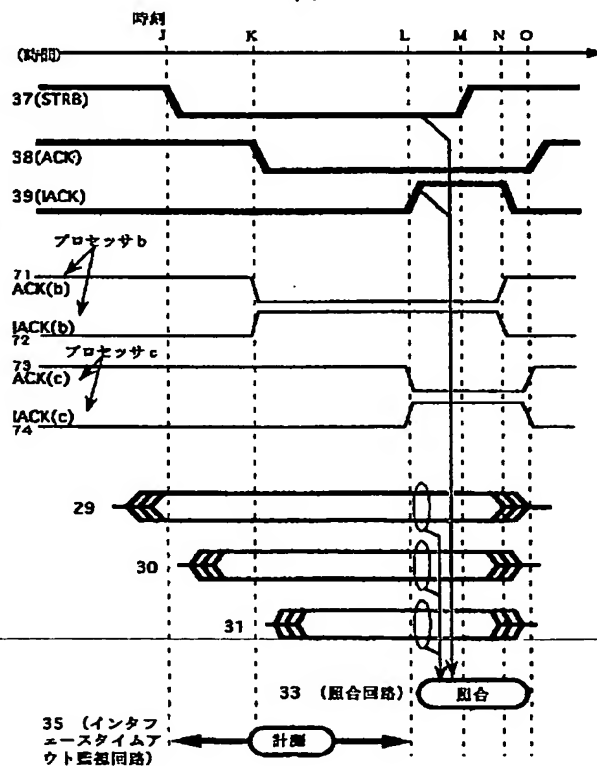
【図 4】

☒ 4



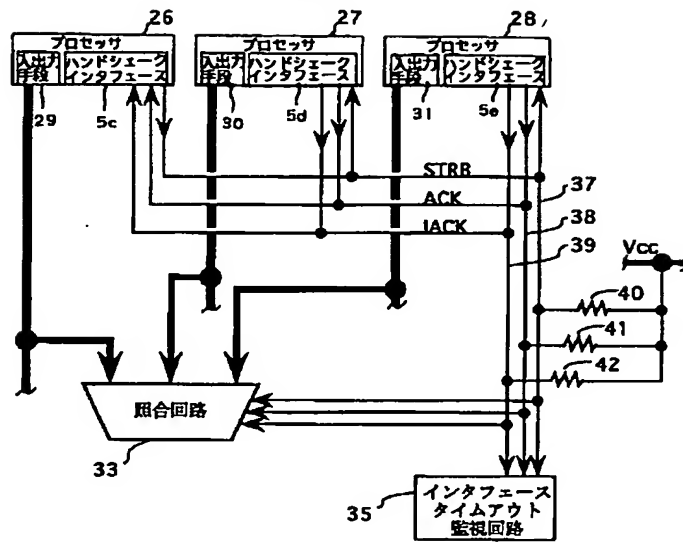
【图 7】

图7



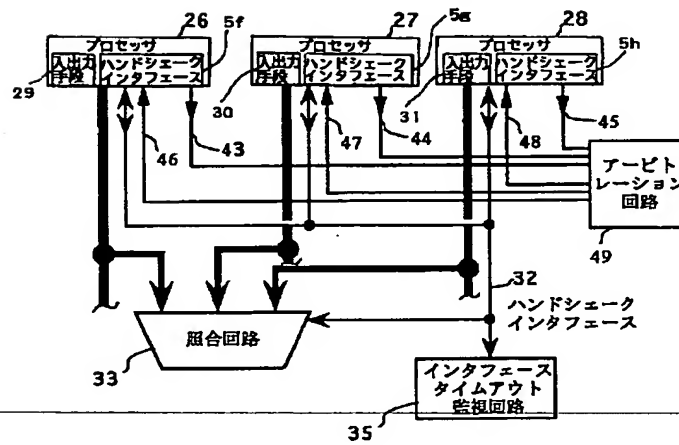
【図 6】

図 6

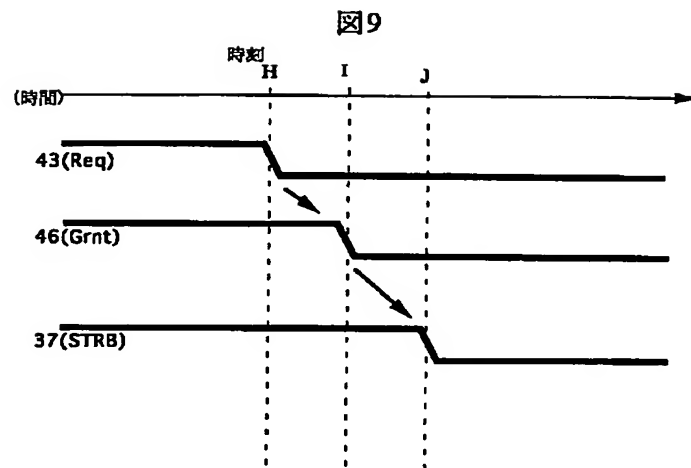


【図 8】

図 8

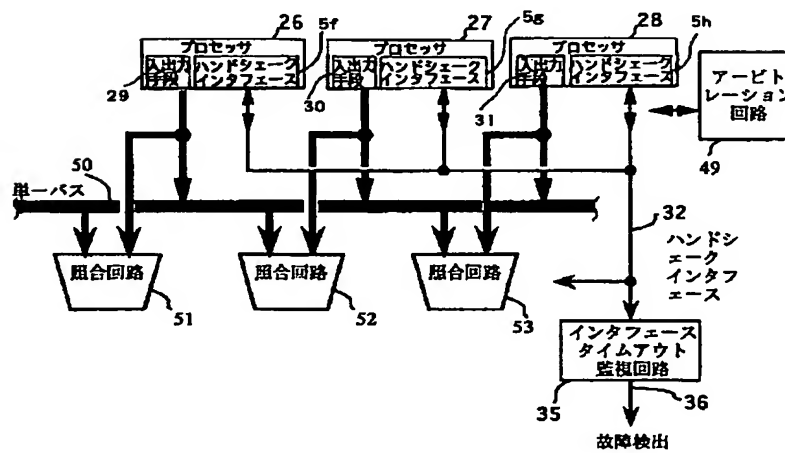


【図 9】



【図 10】

図 10



フロントページの続き

(72)発明者 大辻 信也
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内